



## Ръководство за провеждане на лабораторно упражнение

**Дисциплина:**  
**Цифрова схемотехника**

**Тема на упражнението:**

### **Изследване на тригери и регистри**

с анимирани схеми, създадени с компютърната програма за моделиране и анализ на електронни схеми PROTEUS VSM Professional Demonstration

## 1.Цел на упражнението.

Запознаване на студентите с

- с възможностите на компютърната програма за моделиране и анализ на електронни схеми **PROTEUS VSM Professional Demonstration** и
- с основните функции на няколко вида тригери и схемите за тяхното реализиране.

## 2. Измервателна постановка.

За провеждане на упражнението се използва персонален компютър с инсталирана програма **Proteus 5.2 Demonstration**.

## 3. Задачи за изпълнение.

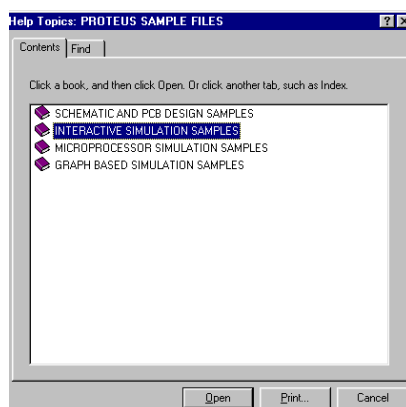
**3.1. Запознаване с възможностите на компютърната програма за моделиране и анализ на електронни схеми PROTEUS VSM Professional Demonstration.** (Прочети Приложение 6.1.).

Стартиране на програмата:

Start > Programs > Proteus 5.2 Demonstration > SampleDesigns>

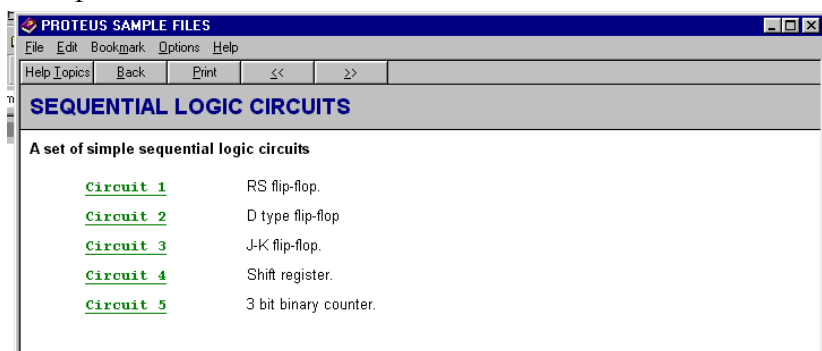
От прозореца, показан на фиг.1, се избира:

INTERACTIVE SIMULATION SAMPLES > Educational Animated Circuits > Sequential Logic Circuits



фиг.1.

Зарежда се готов проект за симулация на 5 електронни схеми. Прозорецът е като показания на фиг.2.



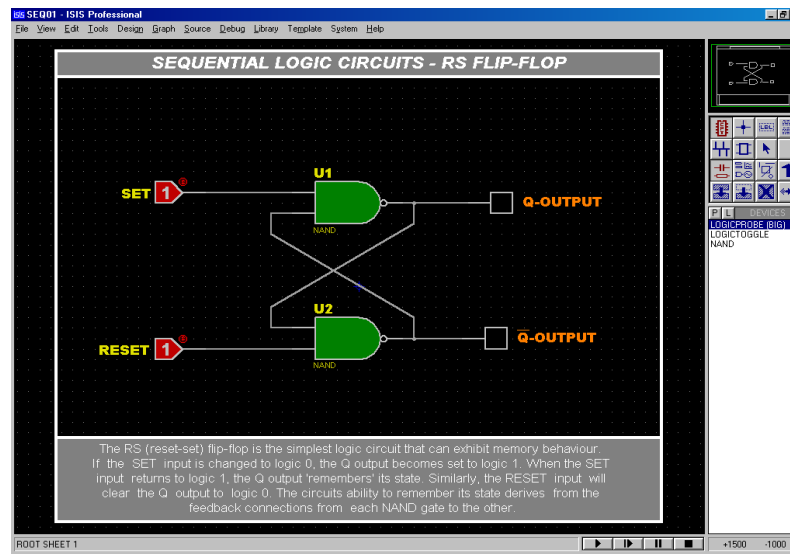
фиг.2.

### 3.2. Изследване на RS тригер, реализиран с 2 логически елемента 2И-НЕ

- От менюто, показано на фиг.2 се избира:

#### Circuit 1 RS flip-flop.

Появява се прозореца, показан на фиг.3.



фиг.3.

Както повечето Windows приложения, той включва ивица с бутони и линия с менюта. Освен централния голям прозорец на проекта, който може и да се редактира, има още 3 по-малки прозореца в дясно – изглед, обекти и елементи. В долния десен ъгъл е реда за състоянието (фиг.4.). С бутоните му **старт**, **единична стъпка**, **пауза** и **стоп** се осъществява анимираната симулация на схемата.



фиг.4.

Докато симулацията работи, могат да се превключват ключовите елементи от схемата и да се наблюдава протичането на различни електрически процеси.

- Да се обърне внимание на това, че състоянието на изходите се променя след въздействие на някой от входовете, а след това може да се промени само след въздействие на другия вход. Активното логическо ниво за превключване на тригерната клетка е 0 (ниско ниво, L ниво). Не е възможно да се активират едновременно и двата входа (забранена комбинация за входните сигнали).
- Да се снемат таблицата на истинност за работата на тригера в следния вид:

| Входове |   | Изходи |   |
|---------|---|--------|---|
| S       | R | Q      | Q |
| 0       | 0 |        |   |
| 0       | 1 |        |   |
| 1       | 0 |        |   |
| 1       | 1 |        |   |

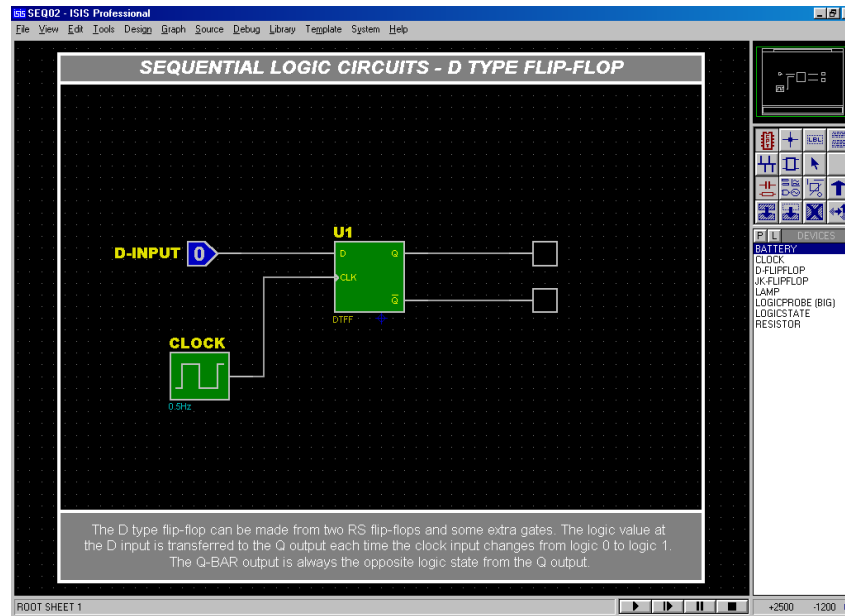
- Да се начертаят времедиаграмите на входните и изходни сигнали.

### 3.3. Изследване на D тригер.

- От менюто, показано на фиг.2 се избира:

#### Circuit 2 D type flip-flop

Появява се прозореца, показан на фиг.5.



фиг.5.

- Да се обърне внимание на това, че сигналът от информационния вход D променя състоянието на изходите след въздействие на тактовия импулс, по време на преминаването на тактовия импулс от ниско във високо ниво (преден фронт).
- Да се снеме таблицата на истинност за работата на тригера в следния вид:

| D | $Q_{n+1}$ | $Q_{n+1}$ |
|---|-----------|-----------|
| 0 |           |           |
| 1 |           |           |

В колоната **D** са дадени логическите нива на сигналите непосредствено преди превключването на тригера (преди подаване импулс на тактовия вход), а в колоната  $Q_{n+1}$  и  $Q_{n+1}$  да се попълнят логическите нива на изходите след превключването

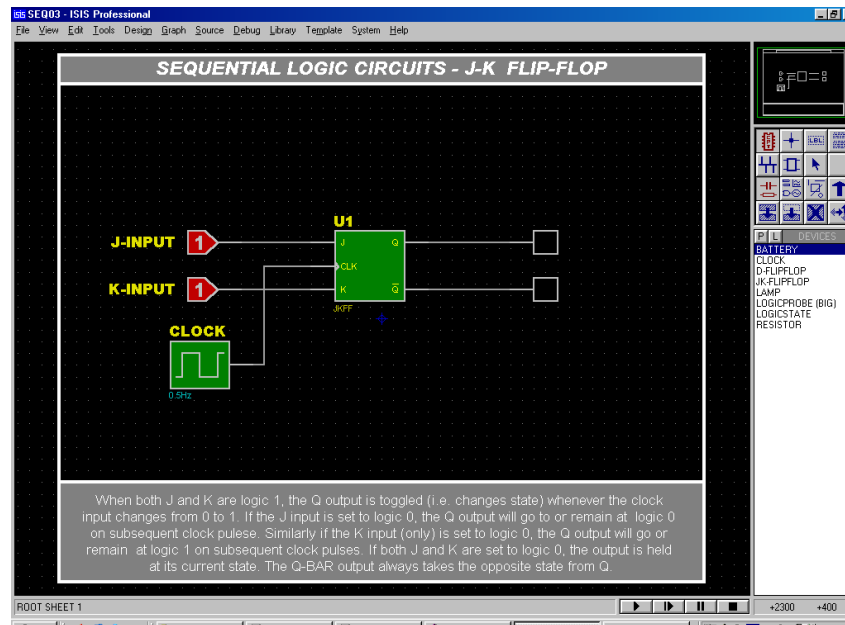
- Да се начертаят времедиаграмите на входните и изходни сигнали.

### 3.4. Изследване на JK тригер.

- От менюто, показано на фиг.2 се избира:

#### Circuit 3 J-K flip-flop.

Появява се прозореца, показан на фиг.6.



фиг.6.

- Да се обърне внимание на състоянието на изходите на тригера при различна комбинация на сигналите на информационните входове **J** и **K** преди и след въздействието на тактовия импулс.
- Да се снемат таблицата на истинност за работата на тригера в следния вид:

| ВХОДОВЕ |   | ИЗХОД     |
|---------|---|-----------|
| J       | K | $Q_{n+1}$ |
| 0       | 0 |           |
| 0       | 1 |           |
| 1       | 0 |           |
| 1       | 1 |           |

В колоната **входове** са дадени логическите нива на сигналите **J** и **K** непосредствено преди превключването на тригера (преди подаване импулс на тактовия вход, в момента  $t_n$ ), а в колоната **изход**  $Q_{n+1}$  да се попълнят логическите нива на изхода **Q** след превключването (в момента  $t_{n+1}$ ).

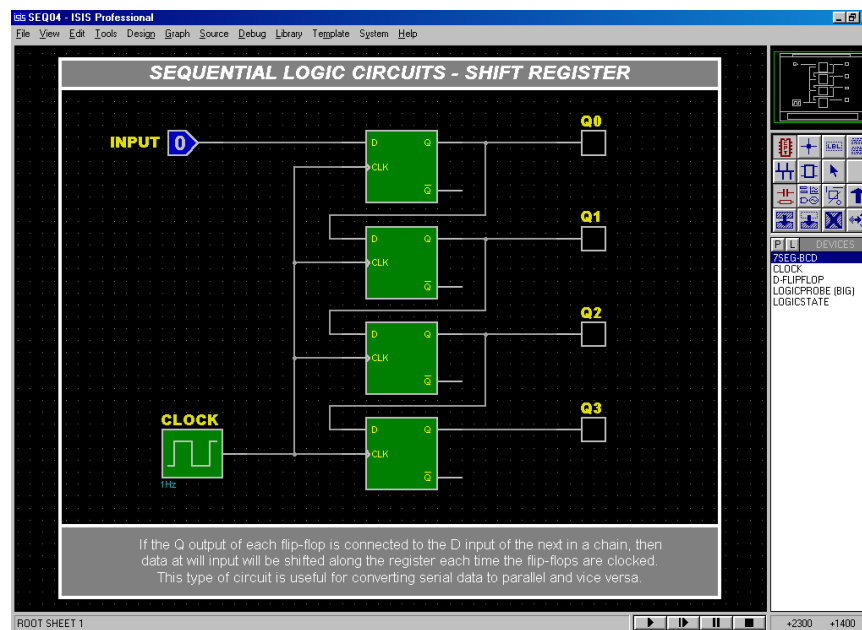
- Да се начертаят времедиаграмите на входните и изходни сигнали.

### 3.4. Изследване на преместващ регистър.

- От менюто, показано на фиг.2 се избира:

#### Circuit 4 Shift register.

Появява се прозореца, показан на фиг.7.



фиг.7.

4 разрядният преместващ регистър е реализиран от 4 D тригера, свързани последователно. Изхода Q на всеки тригер е свързан с D входа на следващия. Да се симулира работата на схемата и да се наблюдава състоянието на изходите на тригерите преди и след въздействието на тактовия импулс.

- Да се опише работата на регистъра в следната таблица:

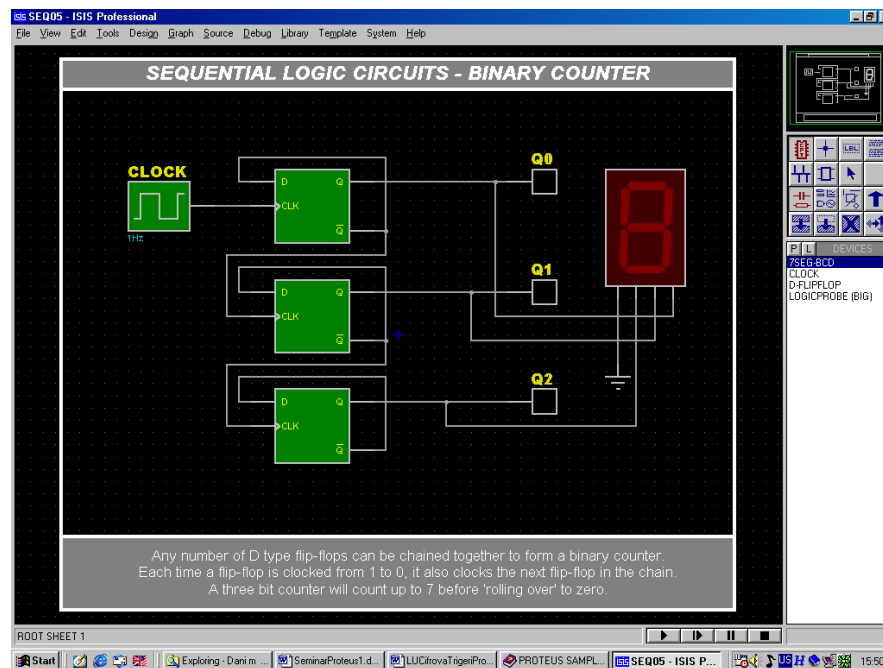
| Входове       |   | Изходи         |                |                |                |
|---------------|---|----------------|----------------|----------------|----------------|
| Тактов импулс | D | Q <sub>3</sub> | Q <sub>2</sub> | Q <sub>1</sub> | Q <sub>0</sub> |
| 1             | 1 |                |                |                |                |
| 2             | 0 |                |                |                |                |
| 3             | 0 |                |                |                |                |
| 4             | 0 |                |                |                |                |
| 5             | 0 |                |                |                |                |
| 6             | 1 |                |                |                |                |
| 7             | 0 |                |                |                |                |
| 8             | 0 |                |                |                |                |
| 9             | 0 |                |                |                |                |
| 10            | 1 |                |                |                |                |
| 11            | 0 |                |                |                |                |

### 3.4. Изследване на 3 разряден двоичен брояч.

- От менюто, показано на фиг.2 се избира:

#### Circuit 5 3 bit binary counter.

Появява се прозореца, показан на фиг.8.



фиг.8.

4 разрядният двоичен брояч е реализиран от 3 последователно свързани броячни тригери, реализирани с D тригера. Да се симулира работата на схемата и да се наблюдава състоянието на тригерите и цифровия индикатор преди и след въздействието на тактовия импулс.

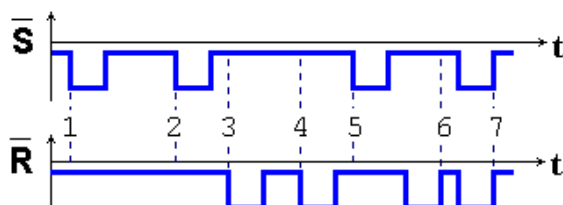
- Да се опише работата на брояча в следната таблица:
- Да се начертаят времедиаграмите на сигналите на тактовия вход и изходите.

| Пореден импулс | Двоични изходи |       |       | Десетично число |
|----------------|----------------|-------|-------|-----------------|
|                | $Q_2$          | $Q_1$ | $Q_0$ |                 |
| 1              |                |       |       |                 |
| 2              |                |       |       |                 |
| 3              |                |       |       |                 |
| 4              |                |       |       |                 |
| 5              |                |       |       |                 |
| 6              |                |       |       |                 |
| 7              |                |       |       |                 |
| 8              |                |       |       |                 |
| 9              |                |       |       |                 |
| 10             |                |       |       |                 |
| 11             |                |       |       |                 |
| 12             |                |       |       |                 |
|                |                |       |       |                 |

#### 4. Въпроси за самостоятелна работа въщи.

##### 4.1. Посочете верния отговор!

Показани са ви времедиаграмите на входните сигнали на един R-S тригер. В момента "3" схемата е в режим :



а) установяване в състояние  $Q=0$  ;

б) установяване в състояние  $Q=1$  ;

в) запазване на старото състояние ;

г) неопределено състояние .

##### 4.2. Добавете към горните времедиаграми сигналите на изходите Q и $\bar{Q}$ .

#### 5. Съдържание на протокола.

Резултатите от изпълнението на т.3 и т.4.

#### 6. Приложения

6.1. Компютърна програма за моделиране и анализ на електронни схеми **PROTEUS VSM Professional Demonstration** –общо описание на програмата.

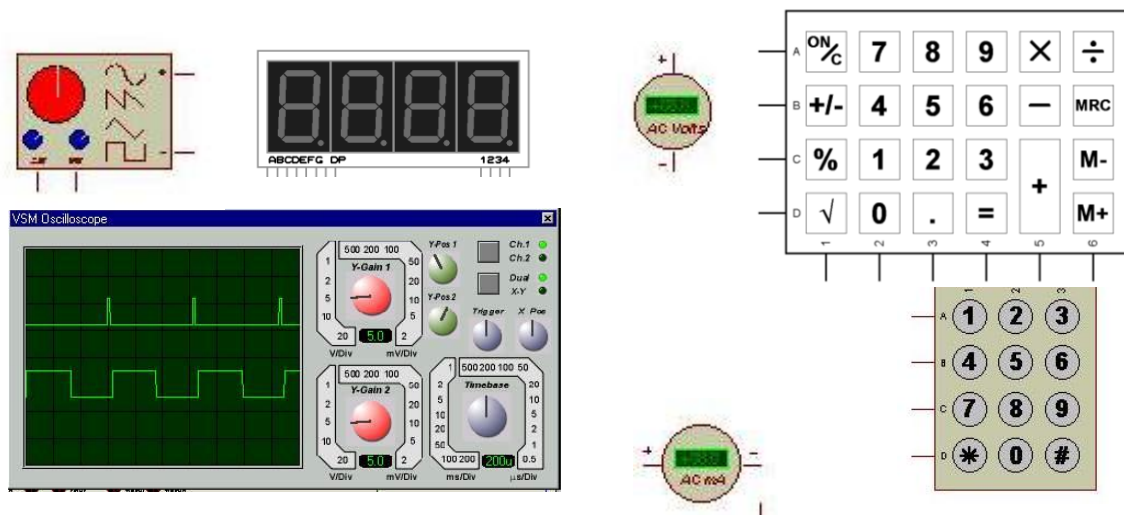
6.2. Теоретична постановка. – Последователностни логически схеми. Тригери. Преместващи регистри. Броячи.

## Приложение 6.1

### Компютърна програма за моделиране и анализ на електронни схеми **PROTEUS VSM Professional Demonstration**.

Програмният продукт Proteus на фирмата Labcenter Electronics е професионално ориентирана среда за разработка на електронни проекти, обхващащ всички технологични етапи - изчертаване на принципната електрическа схема, временен и честотен анализ на схемата и проектиране на печатната платка. Програмата е предназначена основно за автоматизирано проектиране на електронни системи с микроконтролери. Тя предоставя възможност за разработка и настройка на програмното осигуряване без да е необходим физически модел на системата. Симулира се работата на цялата система - микропроцесора и периферните устройства.

**Пакетът за изчертаване на схемно решение и за симулация на електронната схема (ISIS)** работи с библиотеки от графични означения, образи и модели за над 4000 от обичайните електронни елементи като резистори, кондензатори, транзистори, интегрални схеми и други. Освен тях програмата използва и други анимирани интерактивни виртуални обекти като функционален генератор, волтметър и амперметър, осцилоскоп, логически анализатор, клавиатури и превключватели, които онагледяват действието на системата и предоставят възможност за диалог с потребителя. На фиг.1 е показано как изглеждат някои от тези обекти.



фиг.1

При натискане например на определено копче на функционалния генератор може да се промени честотата на входния Изследване на тригери с програмата PROTEUS VSM Professional Demonstration 9/10  
Ръководство за лабораторно упражнение

сигнал и веднага да се види върху екрана на осцилоскопа промяната на изходните сигнали на изследваната схема.

Програмата предоставя екранна графика – диаграмите се включват директно в проекта като всички други обекти. Възможно е задаване на графично основани анализи – преходен, честотен, шумов, изкривявания, АС и DC разбивки и Фурие трансформации. Напълно е съвместима със SPICE моделите на електронните елементи, които могат да се открият в Интернет. Създадени са модели за симулиране работата на едночиповите микроконтролери PIC, 8051 и HC11 и на периферни модули като универсална матрична клавиатура, LED и LCD дисплей, виртуален RS232 терминал. Предоставени са инструменти за създаване на собствени модели.

Пакетът за чертане и симулации няма ограничение по отношение на големината на принципната електрическа схема /броя на изводите на схемата/ и големината на програмата. Това, както и скоростта на симулациите, зависи по скоро от мощността на компютъра, с който се работи.

**Пакетът за проектиране на печатната платка(ARES)**, ползва данните, създадени при изчертаване на принципната схема и позволява проекта да придобие физически образ. Достъпен е в 5 нива, предлагащи различни възможности на конструктора. С него може да се проектира 16 слойна печатна платка при 10 nm разрешаваща способност и пълен физически и електрически контрол на проводящите шини, завъртане на компонентите и чертане на шините под всякакъв ъгъл. Библиотеката на този модул съдържа над 6000 обекта. Възможно е автоматично и ръчно подреждане на елементите и автоматично и ръчно изчертаване на шините.

Програмата предлага и няколко "филми", с които се демонстрират възможностите и - чертане на схема, анализ и чертане на печатна платка. Тези "филми", с продължителност 5-10 минути, не илюстрират всяка характеристика на програмата, но дават идея какво и как може да се направи с нея.

Достъпни са и много примерни проекти, чието разглеждане е изключително полезно за усвояване на симулативния подход.

Демонстрационната версия има ограничения по отношение на библиотеките и възможността за ползването на примерните проекти. Но цялата помощна информация е достъпна за задълбочено запознаване със системата, може и да се разпечатва. За повече информация са посочени електронен адрес и Интернет страница на авторите на програмата: Email: [info@labcenter.co.uk](mailto:info@labcenter.co.uk), Web: <http://www.labcenter.co.uk>.